

Japanese Patent Laid-open No. 1-258466

## Specification

### 1. Title of the Invention

Memory Module

### 2. What is claimed is:

(1) A memory module having a plurality of memory chips mounted thereon, characterized in that power supply input terminals and ground terminals are symmetrically disposed at corresponding opposite ends of a terminal arrangement.

(2) A memory module having a plurality of memory chips mounted thereon, characterized in that power supply input terminals and ground terminals are symmetrically disposed at corresponding opposite ends of a terminal arrangement, and a data input terminal and a data output terminal both associated with the same bit are disposed adjacent to each other.

### 3. Detailed Description of the Invention

[Object of the Invention]

[Utilization Field in Industry]

The present invention relates to a memory module used with electronic equipment.

[Prior Art]

In recent years, the capacity of a memory used in

electronic equipment has been constantly increased as a result of improvement of the semiconductor memory manufacturing technology and thereby reduced cost per bit. In such a trend as above, a memory module having several D-RAM chips mounted on a printed circuit board has been a commercial reality. Such a memory module as above has a card edge connector so as to be attached to equipment body via an exclusive socket. Incidentally, since terminal arrangement for such a type of module has no unified regulations at the present time, it is possible to configure more user-friendly terminal arrangement proprietary.

However, the conventional memory module has a power input terminal and a ground terminal that are not disposed symmetrical to each other with respect to terminal arrangement, and that constitute only one set.

[Problem to be Solved by the Invention]

As described above, the conventional memory module has a power input terminal and a ground terminal that are not disposed symmetrical to each other with respect to terminal arrangement, and that constitute only one set; therefore, if the memory module is reversely plugged into the socket by mistake, a problem arises in that collision is encountered on a power line, which could adversely affect other parts through the power line.

In view of the foregoing, it is an object of the present invention to provide a memory module in which, even if it is reversely plugged into a socket, a collision on a power line and its adverse effect do not occur.

[Configuration of the Invention]

[Means for Solving the Problem]

According to the present invention, there is provided a memory module having a plurality of memory chips mounted thereon, and characterized in that power supply input terminals and ground terminals are symmetrically disposed at corresponding opposite ends of a terminal arrangement.

[Function]

In the present invention, even if the memory module is plugged reversely, since power supply input terminals and ground terminals are symmetrically disposed at corresponding opposite ends of a terminal arrangement, collision on a power line and an adverse effect on other parts do not occur.

[Embodiment]

One preferred embodiment of the present invention will be described in detail with reference to the accompanying drawings.

Fig. 1 is an external view illustrating one preferred embodiment of a memory module of the present

invention.

In this figure, a memory module 100 has nine D-RAM chips 201 to 209 in total having the same function mounted on both surfaces of the printed circuit board 101 as shown in Figs. 1(a) and (b). In addition, the memory module 100 includes terminals 1 through 35 given sequential numbers, a terminal denoted with arrow X being terminal 1 and a terminal denoted with arrow Y being terminal 35 in Fig. 1(a).

Fig. 2 shows a circuit diagram of the memory module 100 according to the present embodiment. In this figure, symbol VCC denotes a power input terminal; GND, a ground terminal; RAS, a line address strobe terminal;  $\overline{CAS}$ , a column address strobe terminal;  $\overline{WRITE}$ , a write terminal;  $A_0$  to  $A_9$ , address terminals;  $D_{out0}$  to  $D_{out8}$ , data output terminals; and  $D_{in0}$  to  $D_{in8}$ , data input terminals. Nine D-RAM chips 201 to 209 have respective address terminals  $A_1$  to  $A_9$ , connected to one another, and are each connected to the line address strobe terminal  $\overline{RAS}$ , line address strobe terminal  $\overline{CAS}$  and write terminal  $\overline{WRITE}$ . In addition, nine chip capacitors 300 are connected in parallel between the power input terminal VCC and the ground terminal GND.

Fig. 3 shows a table representing the relationship between the terminals shown in Fig. 2 and the terminal numbers in Fig. 1. In Fig. 3, the ground terminal GND is

connected to the terminals 1 and 35 corresponding to respective terminal numbers 1 and 35, and the power supply input terminal VCC is connected to the terminals 2 and 34 corresponding to respective terminal numbers 2 and 34. In other words, the power input terminal VCC and the ground terminal are connected to corresponding terminals located symmetrically at opposite ends of the terminal arrangement in the memory module. In addition, the data input terminals  $D_{in0}$  to  $D_{in8}$  and the data output terminals  $D_{out0}$  to  $D_{out8}$  are connected to corresponding terminals in such a way that terminals concerning the same bit are adjacent to each other. For example, the data output terminal  $D_{out2}$  and the data input terminal  $D_{in2}$  are respectively connected to the terminals 17 and 18 that are adjacent to each other. In addition, the data output terminal  $D_{out7}$  and the data input terminal  $D_{in7}$  are respectively connected to the terminal 27 and the terminal 28 that are adjacent to each other.

With such terminal arrangement, even if the memory module 100 is reversely plugged into a socket not shown, no collision occurs on the power line. In addition, since the data input terminals  $D_{in0}$  to  $D_{in8}$  and the data output terminals  $D_{out0}$  to  $D_{out8}$  are connected to the corresponding terminals that are adjacent to each other in regard to the same bit, the data output/input line can be arranged with ease.

[Effect of the Invention]

As described above, since power supply input terminals and ground terminals are symmetrically disposed at corresponding opposite ends of terminal arrangement, even if an advantage is produced that the memory module is reversely plugged by mistake, collision on the power line and an adverse effect do not occur.

4. Brief Description of the Drawings

Fig. 1 is an external view illustrating one embodiment of a memory module of the present invention.

Fig. 2 is a circuit diagram illustrating the memory module of the embodiment.

Fig. 3 is a table representing terminal arrangement of the memory module of the embodiment.

100 ... D-RAM module, 101 ... printed circuit board,  
201-209 ... D-RAM chip, 300 ... chip capacitor

Fig. 1(a)

201: D-RAM chip

端子1 : Terminal 1

端子35 : Terminal 35

Fig. 1(b)

D-RAM チップ: D-RAM chip

Fig. 3

端子番号 : Terminal No.

名称記号 : Denomination symbol

⑨ 日本国特許庁(JP)

⑩ 特許出願公開

⑫ 公開特許公報(A)

平1-258466

⑬ Int. Cl. 4

識別記号

庁内整理番号

⑭ 公開 平成1年(1989)10月16日

H 01 L 27/10  
G 11 C 11/344 9 5  
3 7 18624-5F  
K-8522-5B

審査請求 未請求 請求項の数 2 (全4頁)

⑮ 発明の名称 メモリモジュール

⑯ 特 願 昭63-85445

⑰ 出 願 昭63(1988)4月8日

⑱ 発 明 者 高 坂 徹 東京都日野市旭が丘3丁目1番地の1 株式会社東芝日野工場内

⑲ 発 明 者 山 下 宏 明 東京都日野市旭が丘3丁目1番地の1 株式会社東芝日野工場内

⑳ 出 願 人 株 式 会 社 東 芝 神奈川県川崎市幸区堀川町72番地

㉑ 代 理 人 弁理士 則近 憲佑 外1名

BEST AVAILABLE COPY

## 明 細 書

## (従来技術)

## 1. 発明の名称

メモリモジュール

## 2. 特許請求の範囲

(1) 複数のメモリチップを搭載したメモリモジュールにおいて、電源入力端子とグランド端子とを端子配列の両端の対称位置に配置したことを特徴とするメモリモジュール。

(2) 複数のメモリチップを搭載したメモリモジュールにおいて、電源入力端子とグランド端子とを端子配列の両端の対称位置に配置するとともに同一ビットに関するデータ入力端子とデータ出力端子を隣接して配置したことを特徴とするメモリモジュール。

## 3. 発明の詳細な説明

(発明の目的)

(産業上の利用分野)

本発明は電子機器に使用されるメモリモジュールに関する。

近年、半導体メモリの製造技術の向上と、これによるビット当たりの低コスト化に伴い、電子機器に使用されるメモリ容量は増加の一途をたっている。このようななかで、プリント基板上に数個のD-RAMチップを搭載したメモリモジュールが製品化されている。このようなメモリモジュールは、カードエッジのコネクタを持ち専用ソケットにより機器本体に装着される。ところでこの種のモジュールの端子配列には、現在統一的な規制はない。このため、より使いやすい端子配列を独自に設定することが可能である。

しかしながら、従来のメモリモジュールにおいてはその電源入力端子およびグランド端子は端子配列に関して対称位置には配置されてなく1組しかなかった。

(発明が解決しようとする課題)

このように上記従来のメモリモジュールでは、電源入力端子およびグランド端子が端子配列に関して対称の位置に配置されてなく1組しかなかった。



## 特開平1-258466(2)

たため、誤ってメモリモジュールをソケットに対して逆方向に挿着した場合は電源ラインで衝突が起こり、また電源ラインを通して他の箇所に悪影響を与えることがあるという問題点があった。

そこで本発明はこの問題点を除去し、メモリモジュールを逆方向に挿着した場合でも、電源ラインによる衝突および悪影響が生じないメモリモジュールを提供することを目的とする。

## 〔発明の構成〕

## 〔課題を解決するための手段〕

本発明は、複数のメモリチップを搭載したメモリモジュールにおいて、電源入力端子とグランド端子とを端子配列の両端の対称位置に配置したことを特徴とする。

## 〔作用〕

本発明では、メモリモジュールを逆方向に挿着した場合でも電源入力端子とグランド端子とを端子配列の両端の対称位置に配置されるため電源ラインによる衝突および他の箇所への悪影響が生じない。

端子、記号D in 0 ~ D in 8 はデータ入力端子を表わしている。9個のD-RAMチップ201 ~ 209はそのアドレス端子A<sub>1</sub> ~ A<sub>9</sub>がそれぞれ共通接続され、各D-RAMチップ201 ~ 209にそれぞれ行アドレスストロブ端子RAS、行アドレスストロブ端子CAS、ライト端子WRITEが接続されている。また電源入力端子VCCとグランド端子GNDの間には9個のチップコンデンサ300が並列に接続されている。

第3図は第2図に示した各端子を第1図に示した端子番号との関係のもとに表にして示したものである。第3図において、グランド端子GNDは端子番号1および35に対応する端子1および35に接続され、電源入力端子VCCは端子番号2および34に対応する端子2および34に接続される。すなわち、電源入力端子VCCおよびグランド端子はメモリモジュールにおける端子配列の両端の対称位置の端子に接続される。またデータ入力端子D in 0 ~ D in 8 およびデータ出力端子D out 0 ~ D out 8 は同一ビットに関する端子が互いに

## 〔実施例〕

以下、本発明の一実施例を添付図面を参照して詳細に説明する。

第1図は本発明のメモリモジュールの一実施例を示す外形図である。

この図において、メモリモジュール100は同じ機能を有する合計9個のD-RAMチップ201 ~ 209を第1図(a)および(b)に示すようにプリント基板101の両面に搭載している。また、このメモリモジュール100は第1図(a)に矢印Xで示した端子を端子1とし、矢印Yで示した端子を端子35として、それぞれ順次連続した端子番号が付された端子1 ~ 35が配列されている。

第2図は本実施例のメモリモジュール100の回路図を示したものであり、この図において記号VCCは電源入力端子、記号GNDはグランド端子、記号RASは行アドレスストロブ端子、記号CASは列アドレスストロブ端子、記号WRITEはライト端子、記号A<sub>1</sub> ~ A<sub>9</sub>はアドレス端子、記号D out 0 ~ D out 8 はデータ出力

隣接するように各端子に接続されている。例えばデータ出力端子D out 2とデータ入力端子D in 2は互いに隣接する端子17と18に接続され、データ出力端子D out 7とデータ入力端子D in 7は互いに隣接する端子27と端子28に接続される。

このような端子配列をとると、図示しないソケットに対してメモリモジュール100を逆方向に装着した場合でも電源ラインによる衝突は生じない。またデータ入力端子D in 0 ~ D in 8 およびデータ出力端子D out 0 ~ D out 8 を同一ビットに関して互いに隣接する端子に接続するようにしたのでデータ入出力ラインの配列が容易になる。

## 〔発明の効果〕

以上説明したように本発明によれば、電源入力端子とグランド端子とを端子配列の両端の対称位置に配置したため、メモリモジュールを誤って逆方向に装着した場合でも電源ラインによる衝突および悪影響が生じないという利点がある。また同一ビットに関するデータ入力端子とデータ出力端子を隣接する端子とすることによってデータ入

特開平1-258466(3)

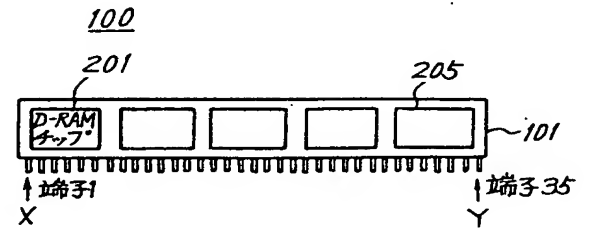
出力ラインの配列が容易となる。

## 4. 図面の簡単な説明

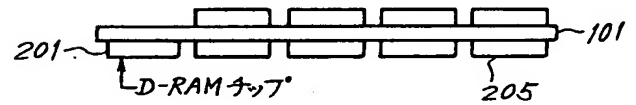
第1図は本発明のメモリモジュールの一実施例を示す外形図、第2図は本実施例のメモリモジュールの回路図、第3図は同実施例のメモリモジュールの端子配列を示す表である。

100…D-RAMモジュール、101…プリント基板、201～209…D-RAMチップ、300…チップコンデンサ。

代理人弁理士 則 近 憲 佑  
同 山 下 一

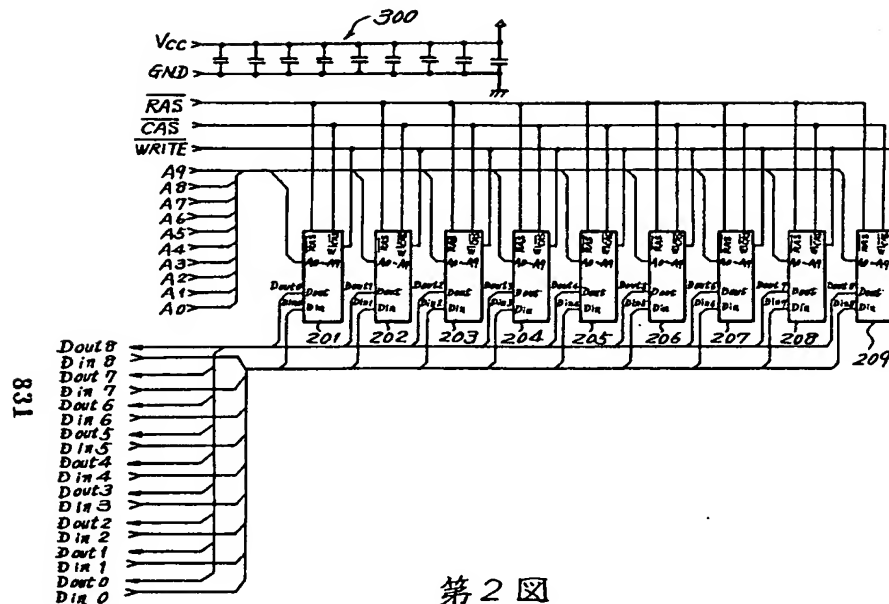


(a)



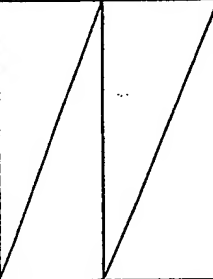
(b)

第1図



第2図

特開平1-258466(4)

端子番号	名称記号	端子番号	名称記号	端子番号	名称記号
1	GND	16	Din 1	31	RAS
2	Vcc	17	Dout 2	32	CAS
3	A0	18	Din 2	33	WRITE
4	A1	19	Dout 3	34	Vcc
5	A2	20	Din 3	35	GND
6	A3	21	Dout 4		
7	A4	22	Din 4		
8	A5	23	Dout 5		
9	A6	24	Din 5		
10	A7	25	Dout 6		
11	A8	26	Din 6		
12	A9	27	Dout 7		
13	Dout 0	28	Din 7		
14	Din 0	29	Dout 8		
15	Dout 1	30	Din 8		

第3図